

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 1 1 月 2 4 日

出 願 番 号
Application Number: 特 願 2 0 0 4 - 3 3 9 6 8 4

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

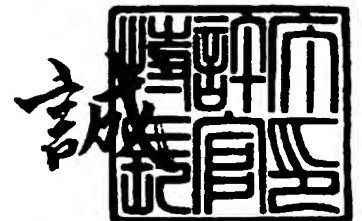
J P 2 0 0 4 - 3 3 9 6 8 4

出 願 人
Applicant(s): 株式会社半導体エネルギー研究所

2 0 0 5 年 1 2 月 7 日

特許庁長官
Commissioner,
Japan Patent Office.

中 嶋



【書類名】	付託願
【整理番号】	P008336
【提出日】	平成16年11月24日
【あて先】	特許庁長官 殿
【発明者】	
【住所又は居所】	神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
【氏名】	岩淵 友幸
【発明者】	
【住所又は居所】	神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
【氏名】	三宅 博之
【特許出願人】	
【識別番号】	000153878
【氏名又は名称】	株式会社半導体エネルギー研究所
【代表者】	山崎 舜平
【手数料の表示】	
【予納台帳番号】	002543
【納付金額】	16,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 1
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1

【請求項 1】

発光素子が用いられ、

バイポーラトランジスタ、オペアンプ、及び第 1 乃至第 4 の抵抗を有し、

前記バイポーラトランジスタは、ベース端子が前記オペアンプの出力端子に接続され、コレクタ端子が低電源電位に接続され、

前記第 1 の抵抗は、一方の端子が第 1 の高電源電位に接続され、他方の端子が前記オペアンプの第 1 の入力端子に接続され、

前記第 2 の抵抗は、一方の端子が前記オペアンプの第 1 の入力端子に接続され、他方の端子が前記バイポーラトランジスタのエミッタ端子に接続され、

前記第 3 の抵抗は、一方の端子が第 2 の高電源電位に接続され、他方の端子が前記オペアンプの第 2 の入力端子に接続され、

第 4 の抵抗は、一方の端子が前記オペアンプの第 2 の入力端子に接続され、他方の端子が低電源電位に接続されている。

前記バイポーラトランジスタのエミッタ端子及び前記第 2 の抵抗の他方の端子からの電位が、駆動回路のバッファの低電源電位として供給され、

前記第 2 の高電源電位が前記バッファの高電源電位として供給されることを特徴とする発光装置。

【請求項 2】

発光素子が用いられ

オペアンプ、及び第 1 乃至第 4 の抵抗を有し、

前記第 1 の抵抗は、一方の端子が第 1 の高電源電位に接続され、他方の端子が前記オペアンプの第 1 の入力端子に接続され、

前記第 2 の抵抗は、一方の端子が前記オペアンプの第 1 の入力端子に接続され、他方の端子は、前記オペアンプの出力端子に接続され、

前記第 3 の抵抗は、一方の端子が第 2 の高電源電位に接続され、他方の端子が前記オペアンプの第 2 の入力端子に接続され、

前記第 4 の抵抗は、一方の端子が前記オペアンプの第 2 の入力端子に接続され、他方の端子が低電源電位に接続され、

前記第 2 の抵抗の他方の端子の電位がバッファの低電源電位として供給され、

前記第 2 の高電源電位が前記バッファの高電源電位として供給されることを特徴とする発光装置。

【請求項 3】

請求項 1 又は 2 において、前記発光素子は EL 素子であることを特徴とする発光装置。

【発明の名称】 発光装置

【技術分野】

【0001】

本発明は、発光素子を備えた発光装置に関する。

【背景技術】

【0002】

自発光型の発光素子を有したアクティブマトリクス型の発光装置の研究が活発化している。このような自発光型の発光装置の代表例として、EL表示装置があげられる。

【0003】

また、近年、中、大型のディスプレイ装置のみならず、携帯情報端末の表示部にも広く用いられるようになったフラットパネル型の表示装置は、その高精細化に伴って、画素数が増加している。画素数の増加に対応するため、各画素毎に薄膜トランジスタ(TFT)を設け画像データを保持することができるアクティブマトリクス構造の画素が採用されている。

【0004】

アクティブマトリクス構造のEL表示装置の階調方式には大きく分けてアナログ階調方式とデジタル階調方式の2つがある。このうちデジタル階調方式には時分割階調方式と、面積階調方式と、時分割階調方式と面積階調方式の混合した方式等がある。時分割階調方式、面積階調方式のいずれのデジタル階調方式においても、各画素あるいはサブ画素をon状態あるいはoff状態の2値で駆動する。

【0005】

このため画素に配された薄膜トランジスタ(TFT)のしきい値電圧 V_{th} のばらつきによる画質の劣化をアナログ階調方式に比べて低減させることができる利点がある。時分割方式でデジタル階調表示を行うことが、特許文献1に開示されている。

【特許文献1】特開2001-5426号公報

【0006】

また、多数の画素に迅速に映像信号を各画素に書き込むために、1行ごと同時にデータ入力をする線順次方式を採用することが望まれる。図9を用いて、アクティブマトリクス型のEL表示装置を線順次方式のデジタル階調表示により駆動することを説明する。

【0007】

図9は、アクティブマトリクス構造の画素に2値のデータを入力するデジタル階調方式型の表示装置の構成を示している。画素部501には、EL素子に代表される発光素子、発光素子の発光を制御するためのTFTが設けられる。画素部501の周辺部には、シフトレジスタ504と、第1のラッチ回路505と、第2のラッチ回路506と、レベルシフタ507とバッファ群回路508を有するソース信号線駆動回路502と、シフトレジスタ509と、レベルシフタ510と、バッファ群回路511を有するゲート信号線駆動回路503が配置されている。図10はバッファ群回路508の等価回路を示している。

【0008】

図10(A)に示すようにバッファ群回路508は、各列に設けられた複数のバッファ601でなる。そして、図10(B)はバッファ601の等価回路図であり、2つのインバータでなる。入力はレベルシフタ507に接続され、出力は画素部501に接続されている。また、信号線602によりバッファ高電源電位(V_{BH})602が与えられ、信号線603によりバッファ低電源電位(B_{GND})が与えられている。

【0009】

図9のアクティブマトリクス型表示装置を線順次方式によりデジタル階調表示で駆動する方法を説明する。まず、シフトレジスタ509は、クロック信号(GCK)、スタートパルス(GSP)にしたがって、1段目から順次選択パルスを出力する。その後、レベルシフタ510によって振幅変換をし、バッファ群回路511により1行目から順次ゲート線が選択される。

【 0 0 1 0 】

ゲートが選択される行において、シフトレジスタ504は、クロック信号（SCK）、スタートパルスにしたがって、1段目から順次サンプリングパルスを出力する。第1のラッチ回路505は、サンプリングパルスが入力されるタイミングで、映像信号（Video）の取り込みを行い、各段で取り込まれた映像信号は第1のラッチ回路505において保持される。

【 0 0 1 1 】

1行分の映像信号の取り込みが完了した後、ラッチパルス（LAT）が入力されると、第1のラッチ回路505において保持されていた映像信号は、一斉に第2のラッチ回路506へと転送され、全てのソース信号が一斉に充放電される。

【 0 0 1 2 】

このとき、ソース信号線を充放電するバッファの高電源電位（VBH）は、発光素子高電源電位（ANODE）と同期し、低電源電位（BGND）は固定である。本明細書において発光素子高電源電位（ANODE）とは、発光素子の陽極（アノード）に与えられる電位をいう。

【 0 0 1 3 】

以上の動作が1行目から最終行まで繰り返され、全画素への書き込みが完了する。1フレーム分の映像が表示される。同様の動作を繰り返し、映像の表示を行う。

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 4 】

アナログ階調方式では1フレームに最低1回のソース信号線へのデータ書込みを行えば階調表現が可能である。

【 0 0 1 5 】

これに対して、各画素をon状態あるいはoff状態の2値で駆動する時間階調方式や面積階調方式や時間階調方式と面積階調方式を複合化した方式等、デジタル階調方式においては、階調表現をするためには1フレームに複数回のソース信号線へのデータ書込みが必要となる。

【 0 0 1 6 】

EL表示装置においてソース信号線は、画素部に設けられた複数のTF Tや寄生容量により、バッファに対する負荷になっている。デジタル階調方式において、ソース信号線へ書き込まれるデータがLow電位からHigh電位に変化するときには、高電源電位（VBH）を与える外部の高電位電源は前記バッファ601のPチャンネル型TF Tを通じてLow電位からHigh電位まで、ソース信号線による負荷容量に電荷を充電する。逆に、ソース信号線へ書き込まれるデータがHigh電位からLow電位に変化するときには低電源電位（BGND）を与える外部の低電位電源は前記バッファ601のNチャンネル型TF Tを通じてHigh電位からLow電位までソース信号線による負荷容量から電荷を放電する。

【 0 0 1 7 】

これらの電力はソース信号線の電圧の変化時に消費されるので、ソース信号線の出力の変化がたびたび起これば、外部電源の電力消費は大きくなる。このためデジタル階調方式においては、自然画のように多くの階調数が必要な画像や1dotチェッカのように1行ごとに論理が頻繁に逆転するような画像では、ソース信号線の電位の変化が多くなるため、外部電源の消費電力が増大してしまう。

【 0 0 1 8 】

また、画素部の発光素子に流れる電流の大きさは、温度によっても左右される。特に発光素子に有機化合物を用いた場合、温度特性の問題が顕著になる。EL素子の電極間にかかる電圧が同じであっても、EL素子が有する温度特性によって、温度が高くなれば高くなるほど、EL素子を流れる電流は大きくなる。よってEL素子の温度が高ければ高いほど、表示装置の消費電力が大きくなり、発光素子の輝度も上昇してしまう。

カラー表示の場合、発光素子高電源電位（ANODE）は、発光材料によって、EL素子ごとに異なる電位が設定されている。発光材料が、赤（R）で発光するEL素子、緑（G）で発光するEL素子、青（B）で発光するEL素子では、経時劣化や温度による特性の変化が異なる。

【 0 0 2 0 】

また、例えば、ユーザーが好んで赤表示をした場合、RのEL素子だけが他のEL素子に比べ先行して劣化することも想定される。したがって、様々な発光素子高電源電位（ANODE）の電位変化に対応できる表示装置が求められている。

【 0 0 2 1 】

バッファの高電源電位（VBH）は、発光素子高電源電位（ANODE）と等しいかそれ以上の電位である必要がある。バッファの高電源電位（VBH）は、ソース信号線の充電の役割を担っているため、充電する電位が小さいほど、バッファの高電源電位（VBH）が必要とする電力が少なくなる。従って、バッファの高電源電位（VBH）は、発光素子高電源電位（ANODE）と等しいことが望ましい。

【 0 0 2 2 】

また、前述の通り、発光素子高電源電位（ANODE）は、経時劣化や温度変化、ユーザーの使用状況などにより変化する。このため、バッファの高電源電位（VBH）は、発光素子高電源電位（ANODE）に追従する必要があり、任意の発光素子高電源電位（ANODE）で充電に要する電力を低減させるためには、発光素子高電源電位（ANODE）と同期させる必要がある。

【 0 0 2 3 】

このため、従来の表示装置では、ソース信号線を充放電するバッファの高電源電位（VBH）は、発光素子高電源電位（ANODE）と同期し、低電源電位（BGND）は固定であった。

【 0 0 2 4 】

その結果、上述したように、従来のバッファ回路では消費電力が大きくなり易いため、バッファの温度が上昇しやすい。そしてバッファの発熱に伴い、その結果、画素部に温度分布が生じるため、輝度傾斜が生じてしまう。

【 0 0 2 5 】

あるいは、EL素子の経時劣化や温度上昇により、発光素子高電源電位（ANODE）が上昇してしまうため、その結果ソース信号線を充放電する電位差、すなわち高電源電位（VBH）と低電源電位（BGND）との差分が大きくなるため、ソース信号線を充放電するバッファ601による消費電力が大きくなり、バッファ601を発熱させしまい、その結果、画素部の輝度傾斜を生じさせてしまうという問題点もある。

【 0 0 2 6 】

このためデジタル階調方式において、ソース信号線へデータの書き込みに要する消費電力は、低消費電力を必要とする携帯端末向けの小型表示装置には大きな問題となっている。また、テレビ等の表示装置においても大型化に伴うソース信号線の寄生容量の増加は避けることは困難であり、小型表示装置同様、消費電力の減少が課題となっている。

【 0 0 2 7 】

本発明は、以上のような課題に鑑みてなされたものであり、インバータを用いたバッファなどの回路の省電力化を目的とする。また、発光素子を用いたアクティブマトリクス型表示装置のソース信号線の充放電に要する消費電力を低減することを目的とする。

【課題を解決するための手段】

【 0 0 2 8 】

本発明では、ソース信号線の充放電を行うバッファ（インバータ）の低電源電位（BGND）を高電源電位（VBH）に追従させる。特に、発光装置においては、この低電源電位（BGND）を発光素子高電源電位（ANODE）に追従させることを特徴とする。

【 0 0 2 9 】

半元明は元ル系」を用いた元ル装置であり、

バイポーラトランジスタ、オペアンプ、及び第 1 乃至第 4 の抵抗を有し、

前記バイポーラトランジスタは、ベース端子が前記オペアンプの出力端子に接続され、コレクタ端子が低電源電位に接続され、

前記第 1 の抵抗は、一方の端子が第 1 の高電源電位に接続され、他方の端子が前記オペアンプの第 1 の入力端子に接続され、

前記第 2 の抵抗は、一方の端子が前記オペアンプの第 1 の入力端子に接続され、他方の端子が前記バイポーラトランジスタのエミッタ端子に接続され、

前記第 3 の抵抗は、一方の端子が第 2 の高電源電位に接続され、他方の端子が前記オペアンプの第 2 の入力端子に接続され、

第 4 の抵抗は、一方の端子が前記オペアンプの第 2 の入力端子に接続され、他方の端子が低電源電位に接続されている。

前記バイポーラトランジスタのエミッタ端子及び前記第 2 の抵抗の他方の端子からの電位が、駆動回路のバッファの低電源電位として供給され、

前記第 2 の高電源電位が前記バッファの高電源電位として供給されることを特徴とする。

【0030】

本発明に係る他の発光装置は、

オペアンプ、及び第 1 乃至第 4 の抵抗を有し、

前記第 1 の抵抗は、一方の端子が第 1 の高電源電位に接続され、他方の端子が前記オペアンプの第 1 の入力端子に接続され、

前記第 2 の抵抗は、一方の端子が前記オペアンプの第 1 の入力端子に接続され、他方の端子は、前記オペアンプの出力端子に接続され、

前記第 3 の抵抗は、一方の端子が第 2 の高電源電位に接続され、他方の端子が前記オペアンプの第 2 の入力端子に接続され、

前記第 4 の抵抗は、一方の端子が前記オペアンプの第 2 の入力端子に接続され、他方の端子が低電源電位に接続され、

前記第 2 の抵抗の他方の端子の電位がバッファの低電源電位として供給され、

前記第 2 の高電源電位が前記バッファの高電源電位として供給されることを特徴とする。

【0031】

本発明において、発光装置の発光素子は画素に配置される。また発光素子として EL 素子が用いられる。EL 素子是一对の電極（陽極と陰極）間に、電場を加えることでルミネッセンスが発生する層（以下、EL 層と記す）が挟まれた構造となっている。EL 層として、有機化合物が、EL 層は通常、積層構造となっている。代表的には、「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。

【0032】

また、EL 層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明の発光装置は、上述した発光のうちのいずれか一方の発光を用いても良いし、または両方の発光を用いても良い。

【0033】

また他にも、陽極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【0034】

本明細書において陰極と陽極の間に設けられる全ての層を総称して EL 層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全て EL 層に含まれる。

【発明の効果】

【0035】

本発明では、高電源電位（VBH又はANODE）の上昇が生じてても、バッファの低電源

電位が同電源電位に近付して上昇するため、バッファ（ブッファ）に供給されている高電源電位と停電源電位との電位差の上昇を小さくすることができる。その結果、少ない電力でソース信号線のデータ書き換えが可能になる。それに伴い、バッファの発熱も抑えられ、発熱による画素部の輝度傾斜が低減される。

【0036】

よって、本発明は、線順次方式のデジタル階調駆動を行うEL表示装置のような発光装置に非常に好適である。

【発明を実施するための最良の形態】

【0037】

（実施の形態1） 図1及び図2を用いて、本実施形態を説明する。

【0038】

図1は、本実施形態の電位発生回路の回路図である。図1に示すように、電位発生回路は、抵抗 $R1 \sim R4$ 、オペアンプ（OP1）、及びバイポーラトランジスタ（B1）で構成される。

【0039】

オペアンプ（OP1）の2つの電源接続端子には、それぞれ高電源電位（VDD1）、低電源電位（GND）が入力される。また、オペアンプ（OP1）の出力端子c1に、バイポーラトランジスタ（B1）のベース端子Bが接続されている。バイポーラトランジスタ（B1）は、ベース端子Bがオペアンプ（OP1）の出力端子c1に、コレクタ端子Cが低電源電位（GND）に接続されている。

【0040】

抵抗 $R1$ は、一方の端子が高電源電位（V1）に接続され、他方の端子がオペアンプ（OP1）の入力端子a1に接続されている。抵抗 $R2$ は、一方の端子がオペアンプ（OP1）の入力端子a1に、他方の端子がバイポーラトランジスタ（B1）のエミッタ端子Eに接続されている。抵抗 $R3$ は、一方の端子が高電源電位（VBH）に、他方の端子がオペアンプ（OP1）の入力端子b1に接続されている。抵抗 $R4$ は、一方の端子がオペアンプ（OP1）の入力端子b1に、他方の端子が低電源電位（GND）に接続されている。バイポーラトランジスタ（B1）のエミッタ端子E及び抵抗 $R2$ の他方の端子の電位が低電源電位（BGND）として取り出される。この低電源電位（BGND）は、高電源電位（VBH）と高電源電位V1との差分になる。

【0041】

図2（A）に、図1の回路が用いられた発光装置を示す。図2（A）において図9と同じ符号は同じ構成要素を示す。

【0042】

図2（A）において、画素部501には、発光素子、代表的にはEL素子、発光素子の発光を制御するためのTF Tが設けられ、アクティブマトリクス構造の画素となっている。画素部501の周辺部には、画素部501と同一基板500上に、TF Tを用いて構成されたソース信号線駆動回路502及びゲート信号線駆動回路503が配置されている。

【0043】

ソース信号線駆動回路502はシフトレジスタ504と、第1のラッチ回路505と、第2のラッチ回路506と、レベルシフタ507とバッファ群回路508を有する。ゲート信号線駆動回路503はシフトレジスタ509と、レベルシフタ510と、バッファ群回路511を有する。

【0044】

図2（A）においても、バッファ群回路508は図10（A）に示すように、列ごとにバッファ601が配置されている。バッファ601の等価回路は図10（B）に示されている。バッファ群回路508には、バッファ高電源電位（VBH）を供給する信号線（電源線）1003及びバッファ低電源電位（BGND）を供給する信号線（電源線）1004が接続されている。さらに、信号線1003はバッファ508のバッファ高電源電位（VBH）を供給する信号線602は接続され、信号線1004は、バッファの低電源電位（

D G N D) を供給する回路508に接続されている(図10(B)参照)。この場合、バッファ回路508には、信号線1003によりバッファの高電源電位(VBH)が供給され、信号線1004によりバッファ低電源電位(BGND)が供給される。

【0045】

また、画素部には、発光素子の陽極に電源を供給する電源供給線が設けられており、この電源供給線は、バッファ高電源電位(VBH)を与えている外部電源に接続される。したがって、バッファ高電源電位(VBH)は発光素子高電源電位(ANODE)と等しくなる。なお、バッファ高電源電位(VBH)と発光素子高電源電位(ANODE)が同じであっても、異なる外部電源を設けてもよい。電源を共通にすることにより、電源の削減、接続部の削減につながる。

【0046】

本実施形態では、信号線1004には図1に示す電位発生回路が接続されている。この電位発生回路は、抵抗R1~R4、オペアンプ(OP1)1002によって構成された回路1001、及びバイポーラトランジスタ(Bi1)1007で構成される。本実施形態の発光装置において、バイポーラトランジスタ(Bi1)1002以外は、同一基板500上に、画素部501、ソース信号線駆動回路502及びゲート信号線駆動回路503と共に、TFTを用いて形成することの特徴とする。バイポーラトランジスタ(Bi1)1002は、ICチップを用いて形成され、例えばCOG法により基板500上に実装される。

【0047】

図2(B)に回路1001の回路図を示す。オペアンプ(OP1)1002の2つの電源接続端子には、それぞれ高電源電位(VDD1)、低電源電位(GND)が入力される。また、オペアンプ(OP1)の出力端子c1に、バイポーラトランジスタ(Bi1)1007のベース端子Bが接続されている。

【0048】

バイポーラトランジスタ(Bi1)1007は、ベース端子Bがオペアンプ(OP1)の出力端子c1に、コレクタ端子Cが低電源電位(GND)に、エミッタ端子Eが抵抗R2及び低電源電位(BGND)を供給する信号線1004に接続されている。

【0049】

抵抗R1は、一方の端子が高電源電位(V1)を供給する信号線(電源線)1005に接続され、他方の端子がオペアンプ(OP1)1002の入力端子a1に接続されている。抵抗R2は、一方の端子がオペアンプ(OP1)1002の入力端子a1に、他方の端子がバイポーラトランジスタ(Bi1)1007のエミッタ端子Eに接続されている。抵抗R3は、一方の端子がバッファ高電源電位(VBH)を供給する信号線1003に、他方の端子がオペアンプ(OP1)1002の入力端子b1に接続されている。抵抗R4は、一方の端子がオペアンプ(OP1)1002の入力端子b1に、他方の端子が低電源電位(GND)に接続されている。

【0050】

高電源電位(V1)は、バッファ高電源電位(VBH)及び発光素子高電源電位(ANODE)よりも、電位が低いものとする。また、本実施形態ではバッファ高電源電位(VBH)は発光素子高電源電位(ANODE)と等しいものとしたが、バッファ高電源電位(VBH)の方を大きくしてもよい。この場合は、発光素子高電源電位(ANODE)とバッファ高電源電位(VBH)に対応して、異なる外部電源が用意される。

【0051】

本実施形態では、オペアンプ(OP1)1002の増幅率を1とし、抵抗R1~R4の抵抗値は等しくなるようにする。なお、バッファ高電源電位(VBH)、発光素子高電源電位(ANODE)、バッファの低電源電位(BGND)、高電源電位(V1)を設計者が要求する値にするため、抵抗R1~R4の抵抗値を必要に応じて変更できることはいうまでもない。また、オペアンプ(OP1)1002は、消費電力の小さなものを設計するのが好ましい。

本実施形態のオペアンプ（OP 1）1 0 0 2等なる電位発生回路により、バッファの低電源電位（BGND）は、発光素子高電源電位（ANODE）から高電源電位（V 1）を減算したものとなる。

【 0 0 5 3 】

よって、バッファの低電源電位（BGND）は、発光素子高電源電位（ANODE）に追従して上昇することになり、バッファの消費電力の増加を抑えることができる。

【 0 0 5 4 】

本実施形態の電位発生回路は、バイポーラトランジスタ（Bi 1）の以外の回路1 0 0 1を同一基板上に、画素部5 0 1、ソース線信号線駆動回路5 0 2及びゲート線信号線駆動回路5 0 3と共に形成しているため、外付けの部品点数を減らすことが可能となる。なお、図1に示す電位発生回路を全てICで形成し、例えばCOG法などにより基板5 0 0上に実装しても良い。

【 0 0 5 5 】

また、本実施形態では、ソース線信号線駆動回路5 0 2、ゲート線信号線駆動回路5 0 3を画素部5 0 1と共にTFTで形成したが、それぞれの回路の一部又は全てをICで形成し、COG法やTAB法により実装しても良い。

【 0 0 5 6 】

（実施の形態2）

図3は、本実施形態の電位発生回路の回路図である。図3に示すように、電位発生回路は、抵抗R 1～R 4、オペアンプ（OP 1）で構成される。

【 0 0 5 7 】

オペアンプ（OP 1）の2つの電源接続端子には、それぞれ高電源電位（VDD 1）、低電源電位（GND）が入力される。

【 0 0 5 8 】

抵抗R 1は、一方の端子が高電源電位（V 1）に接続され、他方の端子がオペアンプ（OP 1）の入力端子a 1に接続されている。抵抗R 2は、一方の端子がオペアンプ（OP 1）の入力端子a 1に、他方の端子がオペアンプ（OP 1）の出力端子c 1に接続されている。抵抗R 3は、一方の端子が高電源電位（VBH）に、他方の端子がオペアンプ（OP 1）の入力端子b 1に接続されている。抵抗R 4は、一方の端子がオペアンプ（OP 1）の入力端子b 1に、他方の端子が低電源電位（GND）に接続されている。オペアンプ（OP 1）の出力端子c 1の電位が低電源電位（BGND）として取り出される。この低電源電位（BGND）は、高電源電位（VBH）と高電源電位（V 1）との差分になる。

【 0 0 5 9 】

図4（A）に、図3の電位発生回路を用いた発光装置を示す。図4において、図9及び図2と同じ符号は同じ構成要素を示す。本実施形態の発光装置は電位発生回路1 1 0 1の他は、実施形態1の図2と同様である。

【 0 0 6 0 】

本実施形態の電位発生回路1 1 0 1は全て同一基板5 0 0上に、画素部5 0 1、ソース線信号線駆動回路5 0 2及びゲート線信号線駆動回路5 0 3と共に、TFTを用いて形成することを特徴とする。

【 0 0 6 1 】

図4（B）に示すように、回路1 0 0 1において、オペアンプ（OP 1）1 1 0 2の2つの電源接続端子に、それぞれ、高電源電位（VDD 1）、低電源電位（GND）が接続されている。また、オペアンプ（OP 1）1 1 0 2の出力端子c 1に、抵抗R 2の一方の端子、及びバッファ群回路5 0 8に低電源電位（BGND）を供給する信号線（電源線）1 1 0 4が接続されている。

【 0 0 6 2 】

抵抗R 1は、一方の端子が高電源電位（V 1）を供給する信号線（電源線）1 1 0 5に接続され、他方の端子がオペアンプ（OP 1）1 1 0 2の入力端子a 1に接続されている。

抵抗R2は、一方の端子がオペアンプ（OP1）1102の入力端子b1に接続されている。他方の端子がオペアンプ（OP1）1102の出力端子c1に接続されている。抵抗R3は、一方の端子が発光素子高電源電位（ANODE）を供給する信号線（電源線）1103に接続され、他方の端子がオペアンプ（OP1）1102の入力端子b1に接続されている。抵抗R4は、一方の端子がオペアンプ（OP1）1102の入力端子b1に接続され、他方の端子が低電源電位（GND）に接続されている。

【0063】

ここでは、オペアンプ（OP1）1102の増幅率を1とし、抵抗R1～R4の抵抗値を等しくする。もちろん、発光素子高電源電位（ANODE）、バッファの低電源電位（BGND）、高電源電位（V1）を設計者が要求する値にするため、抵抗R1～R4の抵抗値を必要に応じて変更できることはいうまでもない。また、オペアンプ（OP1）1102は、消費電力の小さなものを設計するのが好ましい。

【0064】

バッファ群回路508には、信号線1103及び1104が接続され、信号線1103はバッファ群回路508のバッファ高電源電位（VBH）を供給する信号線602に接続され、信号線1004はバッファの低電源電位（BGND）を供給する信号線603に接続されている（図10（B）参照）。その結果、信号線1103により、バッファの高電源電位（VBH）が供給され、信号線1104により、バッファ低電源電位（BGND）が供給される。

【0065】

また、画素部501には、発光素子の陽極に電源を供給する電源供給線が設けられており、この電源供給線はバッファ高電源電位（VBH）を与えている外部電源に接続される。したがって、本実施形態では、バッファ高電源電位（VBH）は発光素子高電源電位（ANODE）と等しくなる。なお、バッファ高電源電位（VBH）と発光素子高電源電位（ANODE）が同じであっても、異なる外部電源を設けてもよい。電源を共通にすることにより、電源の削減、接続部の削減につながる。

【0066】

高電源電位（V1）は、バッファ高電源電位（VBH）及び発光素子高電源電位（ANODE）よりも、電位が低いものとする。また、ここではバッファ高電源電位（VBH）は発光素子高電源電位（ANODE）と等しくしたが、もしくは発光素子高電源電位（ANODE）よりも大きい電位とすることができる。

【0067】

電位発生回路1101により、バッファの低電源電位（BGND）は、発光素子高電源電位（ANODE）から高電源電位（V1）を減算したものとなる。したがって、発光素子高電源電位（ANODE）が上昇しても、バッファの低電源電位（BGND）は、発光素子高電源電位（ANODE）に追従して上昇させることができる。

【0068】

本実施の形態では、電位発生回路1100を同一基板500上に、画素部501、ソース線信号線駆動回路502、及びゲート線信号線駆動回路503と共に形成することにより、外付けの部品点数を減らすことが可能となる。なお、電位発生回路1101を全てICで形成し、例えばCOG法などにより基板500上に実装しても良いことはいうまでもない。

【0069】

また、本実施形態では、ソース線信号線駆動回路502、ゲート線信号線駆動回路503を画素部501と共にTFTで形成しているが、それぞれの回路の一部又は全てをICで形成し、COG法でやTAB法により実装しても良い。

【0070】

また、実施形態1及び2において、赤（R）で発光するEL素子、緑（G）で発光するEL素子、青（B）で発光するEL素子など、EL材料が異なる複数種類の発光素子を画素部501に設ける場合は、R、G、Bなど発光素子の種類ごとに、発光素子高電源電位（

ANODE)の値を共有することが好ましい。そのため、元々系ノ同電源電位 (ANODE) とバッファの低電源電位 (BGND) が、発光素子の種類ごとに設けるとよい。

【0071】

(実施の形態3)

実施形態1、2で説明したように、本発明は、画素の高精細化に伴う、EL表示装置の消費電力を抑え、かつ画素部の輝度傾斜をおさえることができるため、高精細な表示部が必要とされる電子機器に好適である。例えば、テレビジョン装置 (テレビ、テレビジョン受信機)、デジタルカメラ、デジタルビデオカメラ、携帯電話装置 (携帯電話機)、PDA等の携帯情報端末、携帯型ゲーム機、モニター、コンピュータ、カーオーディオ等の音響再生装置、家庭用ゲーム機等の記録媒体を備えた画像再生装置等が挙げられる。その具体例について、図11を参照して説明する。

【0072】

例えば、図11(A)の携帯情報端末、図11(B)のデジタルビデオカメラ、図11(C)の携帯電話、図11(D)に示す携帯型のテレビジョン装置、図11(E)に示すノート型のコンピュータ、図11(F)に示すテレビジョン装置である。それぞれの表示部2001~2006に、本発明を用いた発光装置が用いられる。

【0073】

本発明により、図11(A)~(E)に示すようなバッテリーを用いているものは、消費電力を削減した分、電子機器の使用時間を長持ちさせることができる。

【0074】

また、図11(F)にテレビジョン装置のような大型の表示部であっても、ソース信号線駆動回路の発熱が抑えられるため、長時間使用しても発熱による輝度傾斜が生じにくい。

【実施例】

【0075】

(実施例1) 実施例1に、図2に示す実施形態1の発光装置を作製した例を示す。なお、実施形態1と異なり、図1の回路には全てICを使用した。本実施例の画素部の等価回路構成を図5に示す。なお、本発明の画素構造は、図5の回路に限定されないことはいうまでもない。

【0076】

図5に示すように、ソース信号線112は、Nチャネル型TF T120のソース端子に接続されており、Nチャネル型TF T120のドレイン端子は、Nチャネル型TF T117のソース端子と接続されている。Nチャネル型TF T120とNチャネル型TF T117のゲート端子は、ゲート信号線114に接続されている。なお、Nチャネル型TF T120とNチャネル型TF T117は、直列に接続された2つのTF Tとして記されているが、作製するときは、チャンネルが設けられる半導体層を共有するダブルゲートTF Tとして、2つのNチャネル型TF T120とを1つのTF Tで作製されている。

【0077】

画素容量Cp116は、一方の端子が発光素子高電源電位 (ANODE) を与える信号線 (電源線) 112に接続され、他方の端子がNチャネル型TF T117のドレイン端子及びPチャネル型TF T118のゲート端子に接続されている。

【0078】

Pチャネル型TF T118は、ソース端子がソース信号線112と接続されており、ドレイン端子が発光素子119の陽極に接続されている。

【0079】

発光素子119は、EL素子でなり、陽極がPチャネル型TF T118のドレイン端子と接続されており、陰極には、発光素子低電源電位 (CATHODE) に接続されている。

【0080】

図6、図7に本実施例の効果を示す測定データを示す。図6、図7とも、バッファの高電源電位 (VBH) を発光素子高電源電位 (ANODE) と等しくなるように同期させたときのデータである。

図6には、発光素子高電源電位（ANODE）の変化に対する、バッファの低電源電位（BGND）の変化を示す。図7には、発光素子高電源電位（ANODE）の変化に対する、バッファの低電源電位（BGND）を供給する信号線1004に流れる電流の変化を示す。それぞれ、オペアンプ（OP1）の高電源電位（VDD1）＝15V、低電源電位（GND）＝0Vとし、発光素子高電源電位（ANODE）を5Vから12Vまで変化させ、高電源電位（V1）を3V、4V、5Vとし、発光装置を線順次方式のデジタル階調駆動した。

【0082】

図6においてバッファの低電源電位（BGND）＝0Vに固定されているデータは、図1の回路を備えていない従来例の発光装置のデータに該当する。図7、図8の従来例についても同様である。

【0083】

図6に示すように、従来の構成では、バッファの低電源電位（BGND）が0Vに固定されているため、発光素子高電源電位（ANODE）が上昇すると、バッファのインバータに供給される高電源電位（VBH）と低電源電位（BGND）の電位差が大きくなっていることがわかる。

【0084】

他方、本実施例では、発光素子高電源電位（ANODE）の上昇に追従してバッファの低電源電位（BGND）が上昇することで、従来例に比べて、高電源電位（VBH）と低電源電位（BGND）の電位差が小さくなることが、図6によって確認できる。

【0085】

図7から、従来例の表示装置では、バッファの低電源電位（BGND）が固定されている場合、電流値が発光素子高電源電位（ANODE）と比例関係であり、発光素子高電源電位（ANODE）が上昇すると、電流値が大きくなっていたことがわかる。

【0086】

他方、本実施例では、発光素子高電源電位（ANODE）の上昇に比例することなく、発光素子高電源電位（ANODE）が7V以上では、バッファの低電源電位（BGND）が3Vのときは約5.6mA、4Vのときは約7mA、5Vのときは約9mAとなり、電流値がほぼ一定になっていることが確認できる。

【0087】

すなわち、本実施例により、経時変化や温度によって、発光素子高電源電位（ANODE）が上昇しても、消費電力の上昇が抑えられ、またソース信号線回路の発熱をおさえることができることが理解できる。

【0088】

また、実施例の効果をさらに確認するため発光装置を1時間駆動後に測定した、ソース信号線駆動回路の温度、及び画素部の輝度を測定した。図8（A）、（B）は、それぞれ、実施例、従来例のソース信号線の温度であり、図8（C）、（D）は、それぞれ、実施例、従来例の発光素子の輝度を示す。実施例の発光装置は、発光素子高電源電位（ANODE）＝10V、高電源電位（V1）＝4Vにて固定して、駆動させた。従来例の発光装置は発光素子高電源電位（ANODE）＝10Vにて固定し、測定を行った。

【0089】

図8（A）、（B）から、ソース信号線駆動回路の温度は、本実施例の発光装置が従来例よりも低くなっていることがわかる。すなわち、本実施例により発熱が抑えられていることがわかる。

【0090】

また、図8（C）に示す実施例では、ソース信号線駆動回路の発熱が抑えられているため、画素部のソース信号線駆動回路付近と中央付近とで、輝度はほぼ等しくなっているのに対し、図8（D）から、従来例は、ソース信号線駆動回路の発熱の影響を受け、ソース信号線駆動回路側の部分の輝度が高くなり、輝度傾斜が生じていることがわかる。すなわち

、半大施例により、光熱による画素部の輝度増大が抑えられていることがわかる。

【0091】

なお、本実施例では、実施形態1の回路の効果を実証したが、実施形態2の回路も同様の効果が得られることは、以上の実験結果から容易に推測される。

【図面の簡単な説明】

【0092】

【図1】 実施形態1を説明する図である。

【図2】 実施の形態1を説明する図である。

【図3】 実施の形態2を説明する図である。

【図4】 実施の形態2を説明する図である。

【図5】 実施例1の画素部を説明する図である。

【図6】 発光素子高電源電位（ANODE）に対する、バッファの低電源電位（BGND）である。

【図7】 発光素子高電源電位（ANODE）に対する、バッファの低電源電位（BGND）を供給する信号線に流れる電流である。

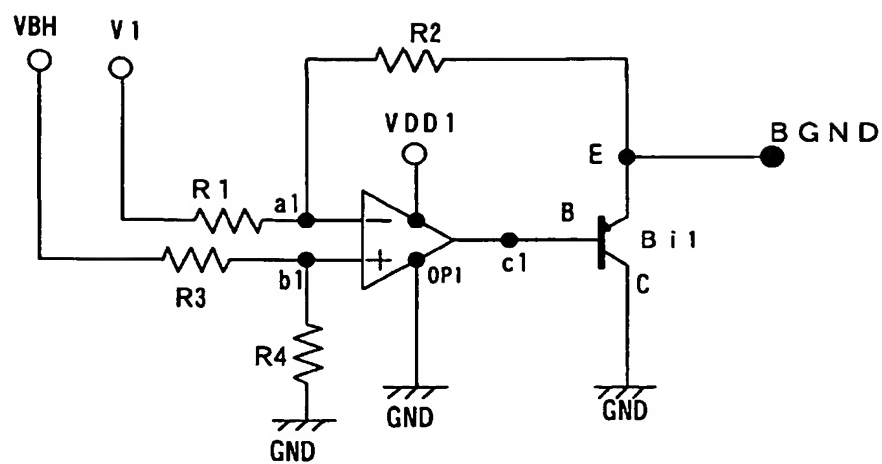
【図8】 実施例1、従来例のソース信号線駆動回路の温度分布、及び画素部の輝度分布である。

【図9】 デジタル階調方式型のEL表示装置である。

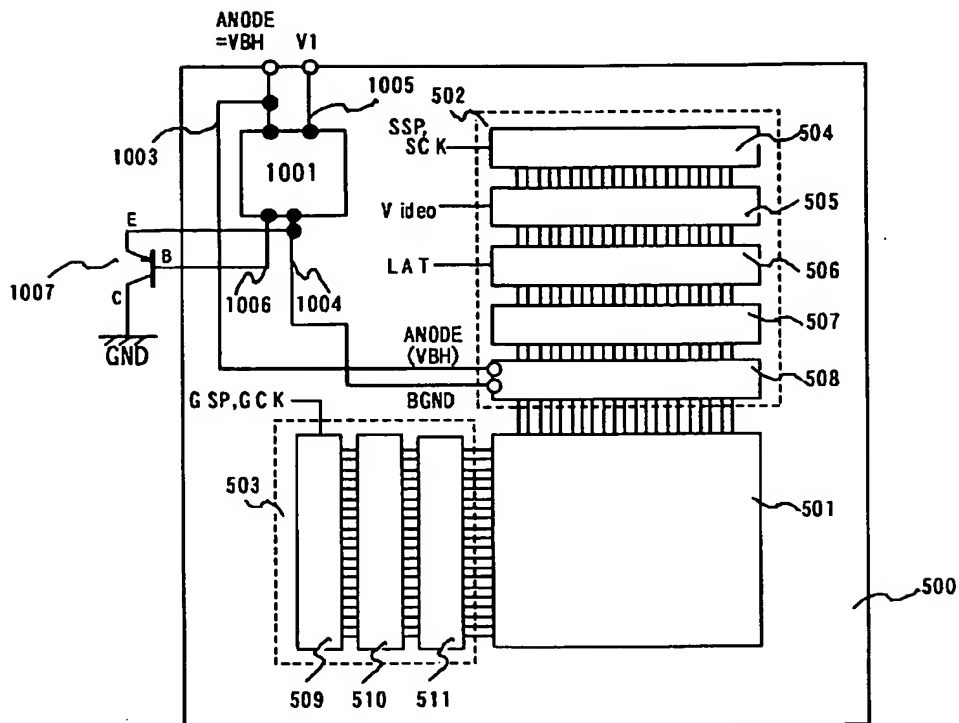
【図10】 バッファの等価回路である。

【図11】 電子機器の説明である。

【図 1】



VBH バッファ高電源電位
 BGND バッファ停電源電位
 V1 高電源電位

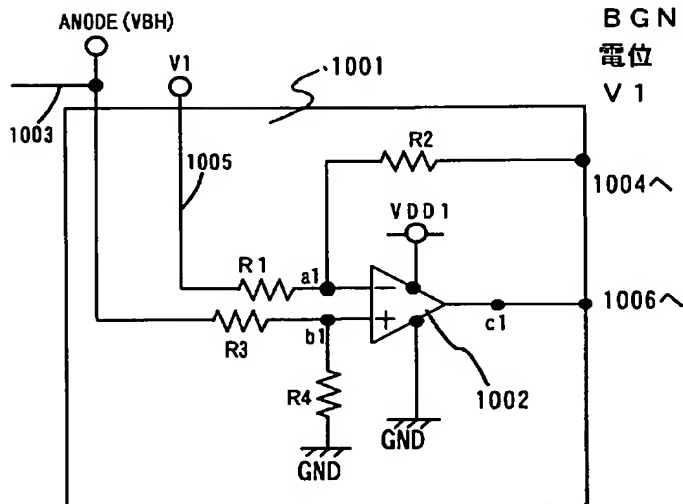


(A)

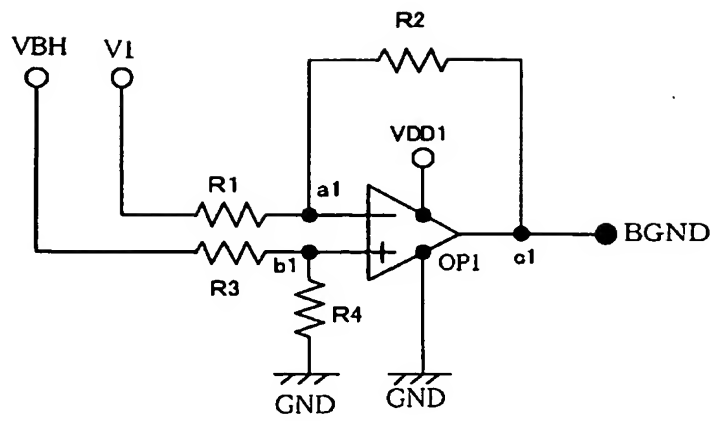
VBH バッファ高電源電位
=ANODE 発光素子高電源電位

BGND バッファ停電源
電位

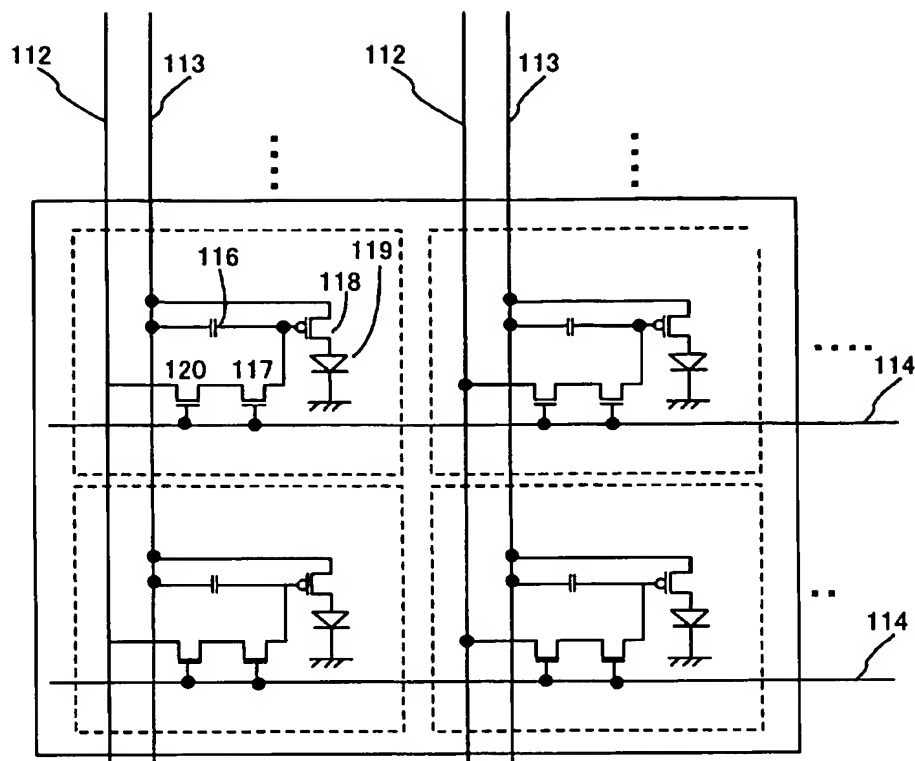
V1 高電源電位



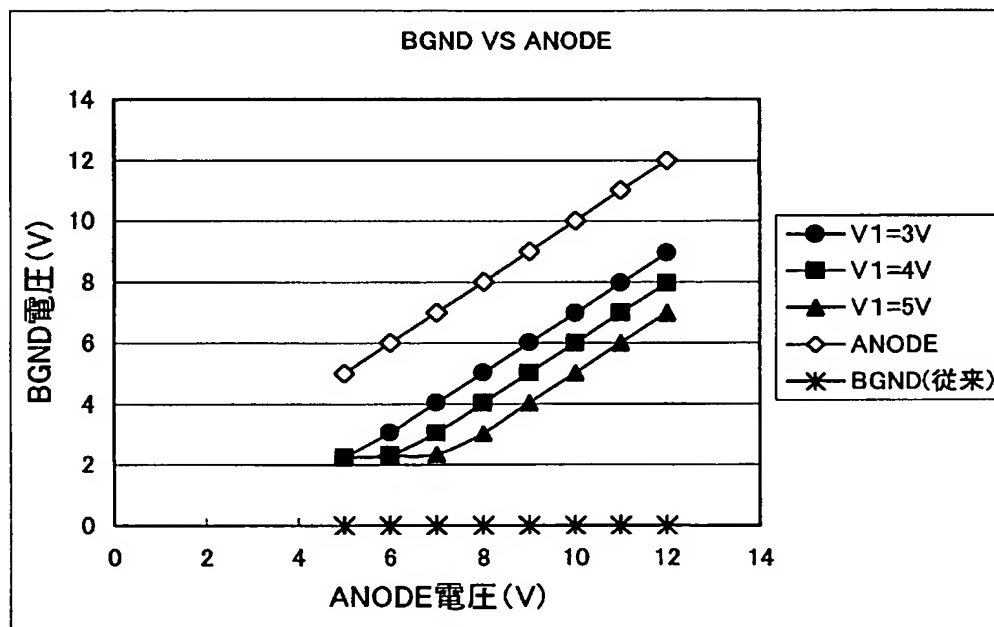
(B)

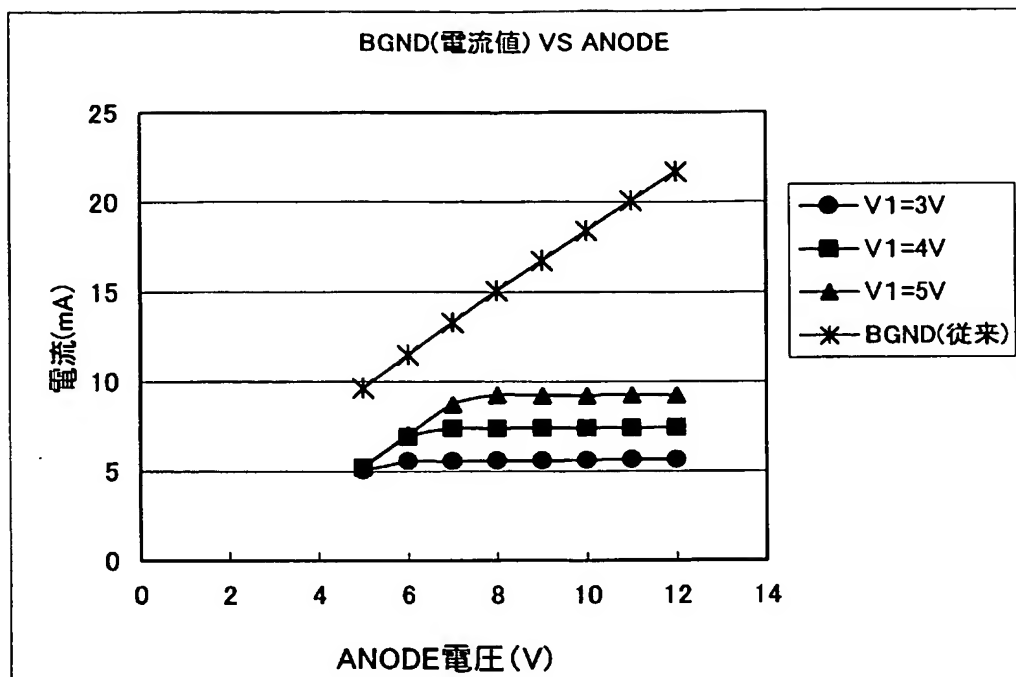


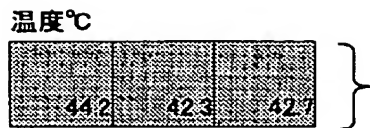
VBH バッファ高電源電位
 BGND バッファ停電源電位
 V1 高電源電位



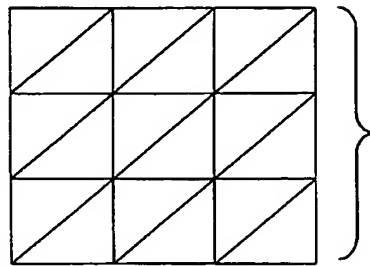
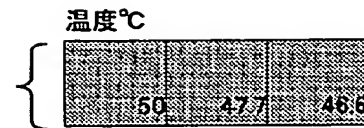
【図 6】



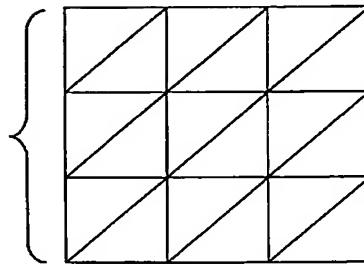




ソース信号線
駆動回路

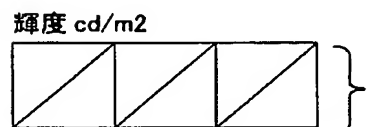


画素部

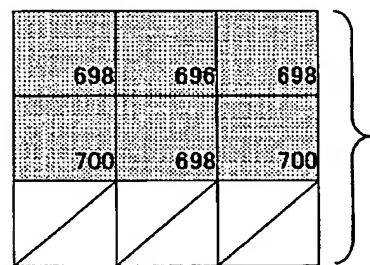
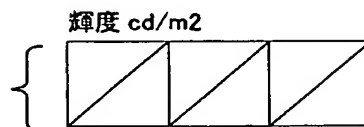


(A)実施例

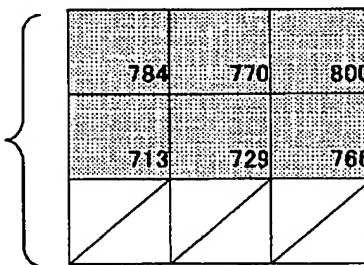
(B)従来例



ソース信号線
駆動回路

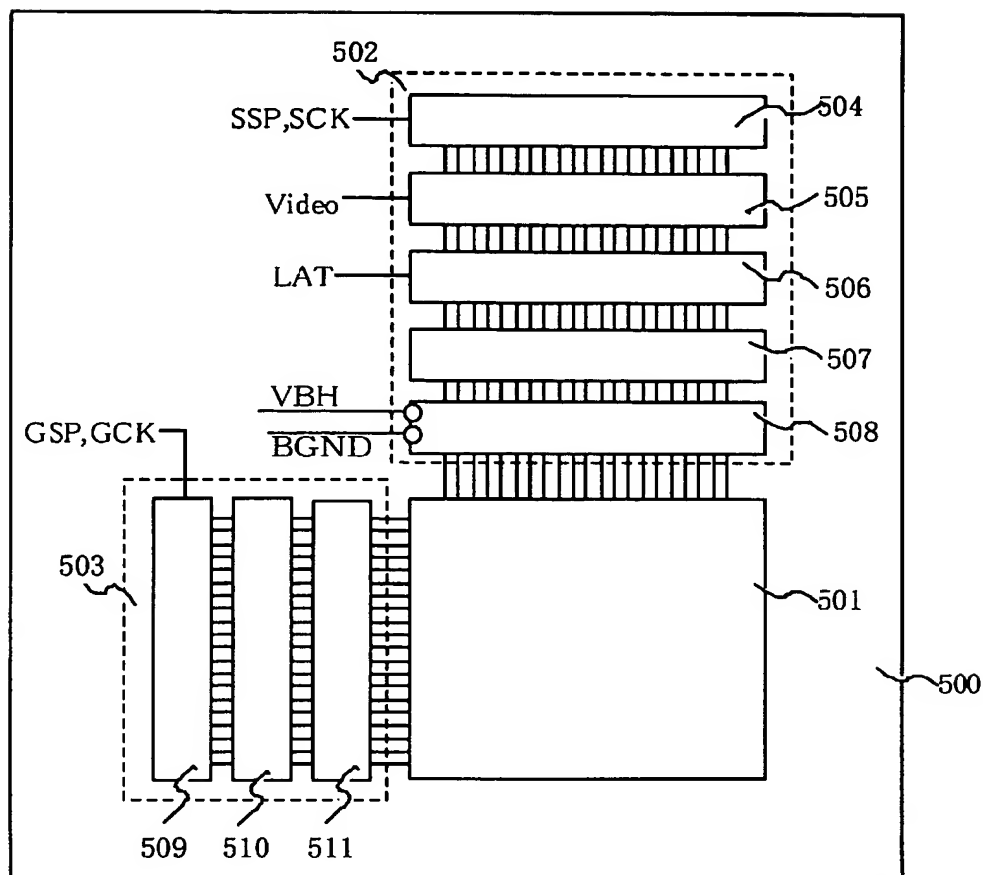


画素部

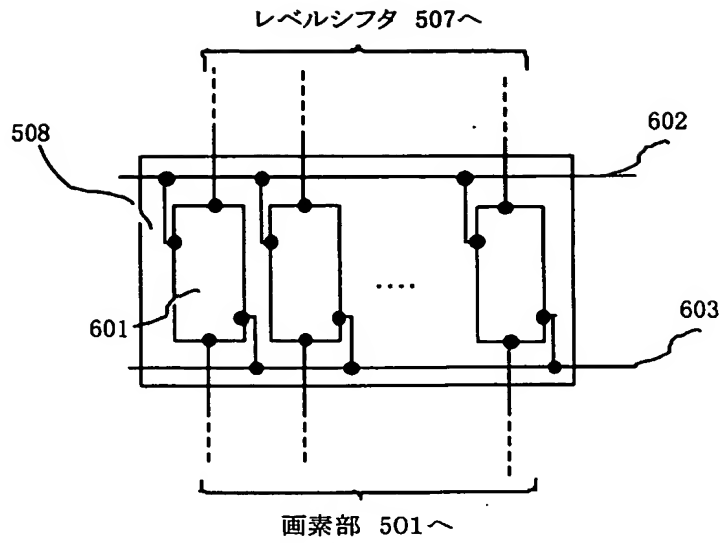


(C)実施例

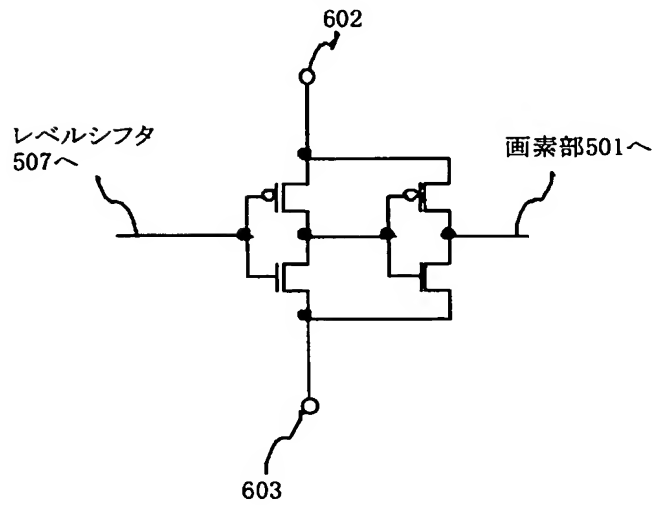
(D)従来例



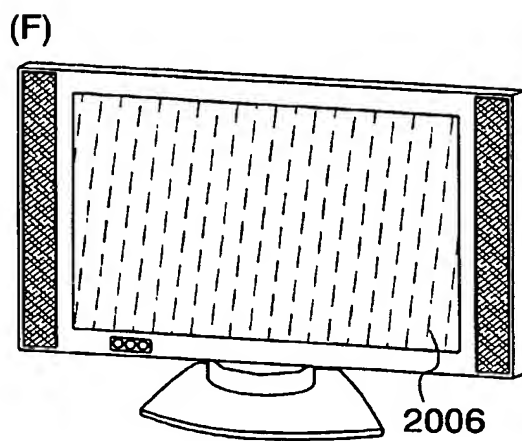
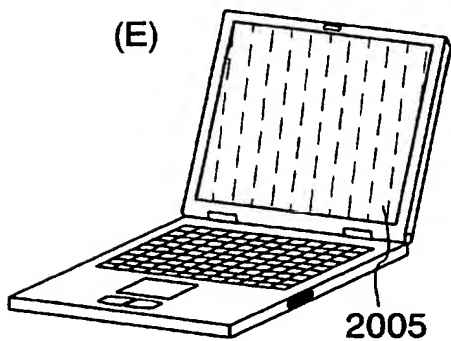
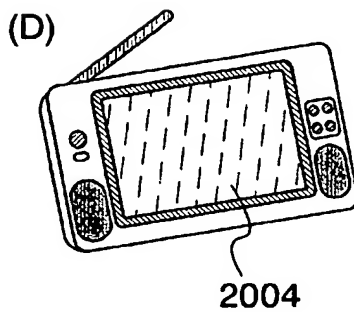
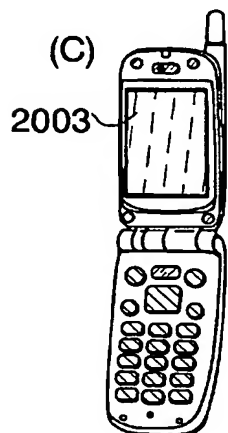
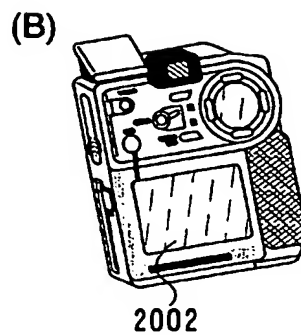
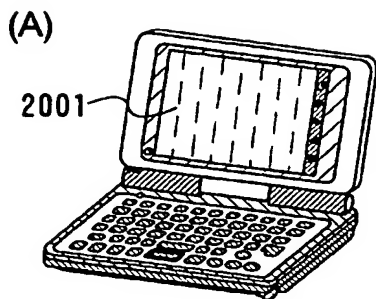
- | | |
|------------------|----------------|
| 501 : 画素部 | 506 : 第2のラッチ回路 |
| 502 : ソース信号線駆動回路 | 507 : レベルシフタ |
| 503 : ゲート信号線駆動回路 | 508 : バッファ群回路 |
| 504 : シフトレジスタ | 509 : シフトレジスタ |
| 505 : 第1のラッチ回路 | 510 : レベルシフタ |
| | 511 : バッファ群回路 |



(A)



(B)



【要約】

【課題】 アクティブマトリクス型のEL表示装置において、ソース信号線の充放電に要する消費電力を低減する。

【解決手段】 バイポーラトランジスタ(Bi1)は、ベース端子Bがオペアンプ(OP1)の出力端子c1に、コレクタ端子Cが低電源電位(GND)に、エミッタ端子Eが抵抗R2に接続されている。また、4つの抵抗R1~R4が設けられている。高電源電位(VBH)は発光素子の高電源電位に同期する電位である、オペアンプ(OP1)の出力端子c1の電位は、バッファの低電源電位(BGND)として出力される。この低電源電位(BGND)は高電源電位(VBH)と高電源電位(V1)の差分になる。よって、低電源電位(BGND)は高電源電位(VBH)、すなわち発光素子の高電源電位に追従させることができる。

【選択図】 図2

0 0 0 1 5 3 8 7 8

19900817

新規登録

神奈川県厚木市長谷398番地
株式会社半導体エネルギー研究所

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2005/021624

International filing date: 18 November 2005 (18.11.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-339684
Filing date: 24 November 2004 (24.11.2004)

Date of receipt at the International Bureau: 22 December 2005 (22.12.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse